

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁷ :

H01L 21/68, 23/31, 21/48

A1

(11) Internationale Veröffentlichungsnummer: WO 00/22668

(43) Internationales
Veröffentlichungsdatum:

20. April 2000 (20.04.00)

(21) Internationales Aktenzeichen:

PCT/DE99/03247

(22) Internationales Anmeldedatum: 8. Oktober 1999 (08.10.99)

(30) Prioritätsdaten:

198 46 662.5

9. Oktober 1998 (09.10.98)

DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS
ELECTROMECHANICAL COMPONENTS GMBH &
CO. KG [DE/DE]; Gustav-Heinemann-Ring 212, D-81739
München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HEDLER, Harry
[DE/DE]; Pelargonienweg 50 A, D-81377 München
(DE). FEIERTAG, Gregor [DE/DE]; Ruffinstrasse 22,
D-80637 München (DE). DEML, Peter [DE/DE]; Jägerweg
11, D-83620 Feldkirchen-Westerham (DE). PETTER,
Franz [DE/DE]; Höhenweg 20, D-85247 Schwabhausen
(DE).

(74) Gemeinsamer Vertreter: SIEMENS ELECTROMECHANICAL
COMPONENTS GMBH & CO. KG; Zedlitz, Peter,
Patentanwalt, Postfach 22 13 17, D-80503 München (DE).

(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE,
CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).

Veröffentlicht

Mit internationalem Recherchenbericht.

Vor Ablauf der für Änderungen der Ansprüche zugelassenen
Frist; Veröffentlichung wird wiederholt falls Änderungen
eintreffen.

(54) Title: ELECTRONIC MODULE, ESPECIALLY A MULTICHIP MODULE, WITH MULTI-LAYER METALLIZATION AND
CORRESPONDING PRODUCTION METHOD

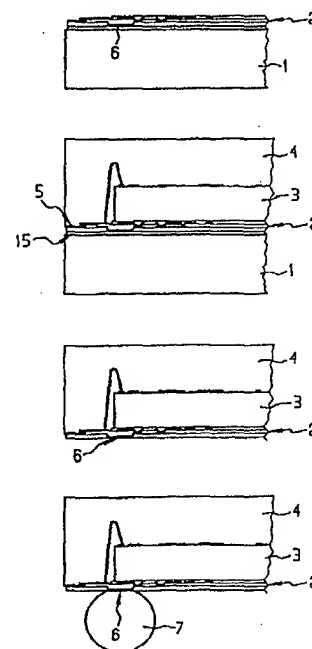
(54) Bezeichnung: ELEKTRONISCHES MODUL, INSBESONDERE MULTICHIPMODUL, MIT EINER MEHRLAGENVERDRAHTUNG
UND VERFAHREN ZU SEINER HERSTELLUNG

(57) Abstract

The component side of the multi-layer metallization (2) adheres with its component-free sections to the hermetic housing (4) and the bottom side of the multi-layer metallization (2) having a height of less than 100 μm directly forms, that is, without requiring any additional metallization support, the bottom side of the module.

(57) Zusammenfassung

Die Bestückungsseite der Mehrlagenverdrahtung (2) haftet mit ihre bauelementefreien Bereichen an der hermetischen Gehäusung (4) und die Unterseite der weniger als etwa 100 μm hohen Mehrlagenverdrahtung (2) bildet unmittelbar, also ohne zusätzlichen Verdrahtungsträger (1), die Unterseite des Moduls.



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Elektronisches Modul, insbesondere Multichipmodul, mit einer Mehrlagenverdrahtung und Verfahren zu seiner Herstellung

5

Die Erfindung betrifft ein elektronisches Modul, insbesondere Multichipmodul, mit einer Mehrlagenverdrahtung, auf deren Bestückungsseite wenigstens ein IC-Bauelement aufgebracht ist, wobei das Modul einseitig auf der Bestückungsseite mit einer hermetischen Gehäusung abgedeckt ist, und mit Kontaktpads an der Unterseite des Moduls, mit denen die Kontaktierung und Integration des Moduls in eine nächsthöhere Baugruppenebene herstellbar ist.

15 Die Erfindung betrifft außerdem ein Verfahren zur Herstellung eines elektronischen Moduls, insbesondere Multichipmoduls, mit einer Mehrlagenverdrahtung.

Mit den zunehmend kleiner und schneller werdenden integrierten Schaltungen wächst die Herausforderung an ihre Ausbau und Verbindungstechnik. Seit einiger Zeit sind Multichipmodule bekannt, durch die ein Zwischenträgersubstrat mit hoher Verdrahtungsdichte, HDI (High Density Interconnect), als zusätzliche Ebene in die Hierarchie des Systemaufbaus eingeführt wird. Typisch dabei sind die Verwendung mehrerer ungehäuster Chips und eine hohe Flächenbelegung des Multichipsubstrats. Eine ähnliche bekannte Neuentwicklung betrifft das Chip-Size-Package (CSP), bei dem ein einzelner ungehäuster Chip auf ein Zwischenträgersubstrat aufgebracht wird, das kaum größer als die Chipfläche ist, und bei dem dann die platzsparende Kontaktierung zur nächsten Architekturebene direkt unter der Chipfläche genutzt wird.

Die wesentlichen Leistungsmerkmale der heutigen Packages für Ein-Chip- oder Mehr-Chip-Anwendungen sind die laterale Abmessung, die Bauhöhe, die Wärmeabführung und der Pitch in der nächsten Architekturebene. Die Nutzung der bekannten Quad

Flat Pack (QFP)-Packages birgt neben dem relativ geringen Chipbedeckungsgrad (Chipfläche/Bauelementfläche) und der relativ hohen Bauform als weiteren Nachteil den Übergang zu extrem kleinen Pitches auf dem Motherboard bei hohem Pincount der Chips. Ebenfalls bekannt ist ein anderer Gehäusetyp, die Ball-Grid-Arrays (BGA). Bei diesen bilden kleine Lötkekeln, die flächig in einem relativ groben Raster auf der Unterseite des Moduls aufgebracht sind, die Anschlüsse. Mit BGA-Bauformen läßt sich durch die flächige Anordnung der Kontakte die Problematik des Pitches entspannen, und die Bauhöhe prinzipiell verringern. Die Herstellung konventioneller Laminat-/Kunststoff-Interconnect führt jedoch insbesondere für hochdichte Verdrahtungen zu technischen Umwegen und unvorteilhaften Produkteigenschaften. Insgesamt stellt sich die derzeitige Situation wie folgt dar:

Die Technologien der Leiterplattenherstellung ermöglichen Verdrahtungsträger, welche die elektrische Durchkontaktierung von der Chipseite zur Unterseite mittels relativ einfach herstellbarer Durchkontaktierungslöcher erlauben. Weniger vorteilhaft sind sie hinsichtlich der Herstellung lateral kleiner Bauformen, insbesondere für Mehrchipmodule, da die Verdrahtungsdichten zu gering sind. Außerdem können insbesondere Vias zwischen den Leiterbahnebenen wegen der Schrumpfung der Laminatmaterialien nicht exakt genug positioniert werden. Es verbleiben Unsicherheiten von typischerweise bis 200 µm, was durch Strukturvergrößerung rund um die Via (Land) zur Passfähigkeit gebracht wird. Wegen der Schrumpfung sind hochdichte Verdrahtungsträger nur realisierbar, wenn nicht auf den kostengünstigen großen Panels, beispielsweise 600 x 600 mm, sondern auf extrem kleinen, beispielsweise 150 x 150 mm gefertigt wird. Damit ist die Großformatfertigung in Leiterplattentechnik vergleichbar kostenaufwendig wie die Dünnfilmtchnik.

35

Die Technologien der Dünnfilmfertigung ermöglichen durch ihre strukturfeinen Verfahren hohe Verdrahtungsdichten und es gibt

aufgrund der festen Trägermaterialien (der eigentliche Träger für die Mehrlagenverdrahtung besteht aus Keramik, Silizium, Glas oder Metall) kein Schrumpfungsproblem. Problematisch sind jedoch andere Aspekte dieser Technologie, insbesondere die bei der Realisierung der elektrischen Verbindung von der Trägeroberseite auf die Trägerunterseite zu gehenden kosten-
aufwendigen Umwege, beispielsweise Bohren oder Stanzen von Löchern in die festen Kernmaterialien, Justageprobleme, Metallisieren der Löcher, usw. Außerdem ist die Dichte der Durchkontaktierungen durch die Substratdicke und die jeweilige Technologie zur Herstellung des Loches begrenzt. Generell besteht eine schlechte Kompatibilität der Technologie von Substratträgern mit Löchern einerseits und Prozessen der Dünnschichttechnik, beispielsweise Spin Coating, andererseits. Schließlich besteht auch eine hohe Bruchgefahr der Träger im Dünnschichtprozeß, der im übrigen auch nicht ohne weiteres einen Übergang auf die kostengünstige Großformatfertigung erlaubt.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein verbessertes Modul der eingangs genannten Art, insbesondere mit verringerter Bauhöhe, zu schaffen und ein Verfahren zu seiner Herstellung anzugeben.

Diese Aufgabe wird bei einem Modul der eingangs genannten Art dadurch gelöst, daß die Bestückungsseite der Mehrlagenverdrahtung mit ihren bauelementefreien Bereichen an der hermetischen Gehäusung haftet, und daß die Unterseite der weniger als etwa 100 µm hohen Mehrlagenverdrahtung unmittelbar, also ohne zusätzlichen Verdrahtungsträger, die Unterseite des Moduls bildet.

Die Aufgabe wird bei einem Verfahren der eingangs genannten Art dadurch gelöst, daß nur auf der Oberseite eines plattenförmigen Verdrahtungsträgers aus festem Material eine Mehrlagenverdrahtung mit Kontaktpads an ihrer Unterseite aufgebracht wird, daß IC- bzw. weitere elektronische Bauelemente elektrisch und mechanisch mit der Bestückungsebene der Mehr-

lagenverdrahtung verbunden werden, daß die Bestückungsseite der Mehrlagenverdrahtung mit einer hermetischen, an ihren bauelementefreien Bereichen haftenden Gehäusung versehen wird, und daß anschließend das feste Trägermaterial wieder
5 entfernt und die die Unterseite des Moduls bildende Unterseite der Mehrlagenverdrahtung freigelegt wird.

Weiterbildungen der Erfindung sind Gegenstand von Unteransprüchen.

10

Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen im Zusammenhang mit den Figuren der Zeichnung näher erläutert. Es zeigen:

15 Figur 1A bis 1D in geschnittener Seitenansicht aufeinanderfolgende Stadien des erfindungsgemäßen Herstellungsprozesses in einer ersten Variante,

Figur 2A bis 2F in gleicher Darstellung eine andere Variante,

20

Figur 3A bis 3E in gleicher Darstellung eine weitere Variante.

Die Erfindung erreicht die angestrebten Verbesserungen, indem
25 nicht nur die Prozesse der eigentlichen Interconnect-Herstellung betrachtet werden, sondern der Gesamtprozeß zur Herstellung eines BGA-Standard-Gehäuses in die erfindungsgemäße Rationalisierung und Umstrukturierung der Prozeßfolgen und damit des Moduls selbst einbezogen werden. Erfindungsgemäß können ultradünne Module hergestellt werden, obwohl es
30 einerseits bei der Nutzung der Vorteile der Dünnschichttechnik, also insbesondere der Nutzung fester Trägermaterialien bzw. von Materialien mit hoher Temperaturstabilität (bis 400°C) bleibt, während andererseits eine hohe Verdrahtungsdichte uneingeschränkt erreichbar ist und mit großformatigen Panels,
35 beispielsweise 400 x 400 mm produziert werden kann. Außerdem kommt es vorteilhaft zur Einsparung von Prozeßschritten.

In Figur 1A ist ein metallischer Verdrahtungsträger 1 dargestellt, auf dessen Oberseite der eigentliche Interconnect, also die Mehrlagenverdrahtung 2, die durch eine Sequenz von strukturierten Metallebenen gebildet ist, die durch Isolations-
5 onsschichten elektrisch voneinander getrennt und zwischen denen über Durchleitungen gezielte elektrische Verbindungen hergestellt sind, bereits aufgebracht ist. Als Trägermaterial bieten sich beispielsweise Kupfer bzw. Aluminium an. Entscheidend ist, daß die Mehrlagenverdrahtung 2 tatsächlich nur
10 auf der Trägersoberseite aufgebracht ist und daß keine Durchkontaktierungen von der Ober- auf die Unterseite des Verdrahtungsträgers 1 vorgenommen werden. Figur 1B zeigt ein Modul, bei dem gegenüber Figur 1A bereits zwei weitere Fertigungsschritte vollzogen sind, nämlich das mechanische und elektrische
15 Verbinden von einem oder mehreren Chips 3 und gegebenenfalls von weiteren elektronischen Bauelementen mit der Bestückungsseite der Mehrlagenverdrahtung 2, beispielsweise durch Chip-and-Wire-Bond oder in Flip-Chip-Technik, und bei dem das bestückte System anschließend durch einseitiges
20 Kunststoffumspritzen in die Form eines Standardpackage (Overmold) gebracht wurde, vgl. Gehäusung 4. Der größte Teil der Bestückungsfläche, also der Oberseite der Mehrlagenverdrahtung 2, ist bauelementefrei, so daß die aufgebrachte Ver-
25 guß- bzw. Klebermasse 4 ausreichende Haftungsflächen 5 zur Mehrlagenverdrahtung 2 hin bilden kann. Es können insbesondere die üblichen Moldmassen eingesetzt werden, da diese sowie so mit den als oberste Schicht der Mehrlagenverdrahtung 2 eingesetzten Isolationmaterialien wie Polyimid, PBO, BCB oder
30 Ormocere, kompatibel, das heißt haftungsfähig sind.

Figur 1C zeigt ein Modul bei dem der nächste Prozeßschritt, das Entfernen des Trägermaterials 1, bereits vollzogen ist. Dies kann beispielsweise durch Auflösen des Trägermaterials, insbesondere durch naßchemisches Ätzen in einer der handels-
35 üblichen, beispielsweise in der hochintegrierten Halbleitertechnologie eingesetzten Ätzanlagen vollzogen werden. Danach

und dadurch sind natürlich auch die Kontaktpads 6 an der Unterseite der Mehrlagenverdrahtung 2, die über Durchführungen und Verbindungen mit dem Leiterbahnsystem den elektrischen Anschluß der Bauelemente 3 des Moduls mit den Kontakten der nächsthöheren Baugruppenebene gewährleisten sollen, freigelegt. Üblicherweise wird anschließend, vgl. Figur 1D, zur Kontaktierung des Moduls lötfähiges Material, insbesondere Lötkegeln 7, auf die Kontaktpads 6 aufgebracht. Eine Passivierungsschicht 15 kann zum späteren leichteren Testen des Moduls vorgesehen sein, vgl. Figur 1B. Prinzipiell kommt auch z. B. Kunststoff als Trägermaterial in Betracht.

Während Figur 2A und 2B mit den Herstellungsschritten gemäß Figur 1A und 1B übereinstimmen, zeigen Figuren 2C bis 2F abweichende Varianten. In Figur 2C ist das Ergebnis des Ätzens von Gruben 8 in das Trägermaterial von der Unterseite her dargestellt, so daß die Kontaktstellen, also die Kontaktpads 6 an der Unterseite der Mehrlagenverdrahtung 2 freigelegt werden. Anschließend kann mittels Galvanik lötfähiges Material 9 (z. B. SnPb) oder mit Standardverfahren Lötkegeln 7 (Balls) in die Gruben 8 eingebracht werden, vgl. Figur 1D. Erst danach erfolgt das Entfernen des Verdrahtungsträgers 1, wobei dann je nach Wahl des Lötmaterials 8, 9 als Endergebnis Module gemäß Figur 2E oder 2F resultieren.

Als Alternative zum zuvor beschriebenen Entfernen des Trägermaterials durch Auflösen ist auch ein Ablösen des Verdrahtungsträgers 1 von der Mehrlagenverdrahtung 2 eine geeignete Möglichkeit der Separierung. Diese kann insbesondere durch das Auftragen einer Zwischenschicht zwischen Mehrlagenverdrahtung 2 und Verdrahtungsträger 1 realisiert werden. Gut geeignet ist beispielsweise ein niedrigschmelzendes Material, beispielsweise Lot, oder ein Kleber, welcher am Ende des Moldprozesses, beispielsweise durch einen zusätzlichen Wärmeschritt, die Trennung des Moduls vom Verdrahtungsträger 1 erlaubt. In Figur 3A bis 3E ist eine Prozeßfolge dargestellt, bei der zunächst als Zwischenschicht eine Lotschicht 10 auf

das Trägermaterial aufgebracht wird, die dann mit einer strukturierten Isolationsschicht 11 abgedeckt wird. Gemäß Figur 3C wird anschließend eine strukturierte Metallebene 12 hergestellt, die gemäß Figur 3D mit elektronischen Bauelementen versehen und mit einer hermetischen Gehäusung 4 abgedeckt wird. Figur 3E zeigt das Endergebnis nach Erwärmen der Lotschicht 10 und Entfernen des Verdrahtungsträgers 1, wobei an den Lotpads 6, und nur dort, noch unschädliche Reste der Lotschicht 10 zurückgeblieben sind. Innerhalb des Leiterbahnsystems der Mehrlagenverdrahtung 2, die in diesem besonders kostengünstig herstellbaren Sonderfall nur aus einer einzigen Metall- und einer Isolationsschicht 12 und 11 besteht, sind die Metallinseln 13 und 14 miteinander verbunden. Bei Einsatz eines Klebers als Zwischenschicht sollte darauf geachtet werden, daß dieser möglichst rückstandslos ist bzw. es sollte eine Nachreinigung vorgesehen werden.

Erfindungsgemäß resultiert ein Modul in Form eines BGA-Standard-Gehäuses, dessen Aufbauhöhe extrem niedrig ist, da die allein verbleibende Mehrlagenverdrahtung 2, der eigentliche Interconnect, eine Aufbauhöhe von weniger als etwa 100 µm, meist sogar von weniger als 60 µm, hat. Da die Chips 3 in abgedünnter Form typischerweise ca. 300 µm hoch sind und die hermetische Gehäusung 4 noch mal eine ähnliche Höhe ausmacht, sind erfindungsgemäß minimale Gehäusehöhen (ohne Balls) von etwa 600 µm erreichbar, während beispielsweise in Laminattechnologie allein der bekannte Interconnect, das heißt der Verdrahtungsträger mit darauf liegender Mehrlagenverdrahtung, zwischen 500 µm und 1000 µm hoch ist.

Patentansprüche

1. Elektronisches Modul, insbesondere Multichipmodul, mit einer Mehrlagenverdrahtung, auf deren Bestückungsseite wenigstens ein IC-Bauelement aufgebracht ist, wobei das Modul einseitig auf der Bestückungsseite mit einer hermetischen Gehäusung abgedeckt ist, und mit Kontaktpads an der Unterseite des Moduls, mit denen die Kontaktierung und Integration des Moduls in eine nächsthöhere Baugruppenebene herstellbar ist, dadurch gekennzeichnet, daß die Bestückungsseite der Mehrlagenverdrahtung (2) mit ihrem bauelementefreien Bereichen an der hermetischen Gehäusung (4) haftet, und daß die Unterseite der weniger als etwa 100 µm hohen Mehrlagenverdrahtung (2) unmittelbar, also ohne zusätzlichen Verdrahtungsträger (1), die Unterseite des Moduls bildet.
2. Modul nach Anspruch 1, dadurch gekennzeichnet, daß die Mehrlagenverdrahtung (2) durch eine Sequenz von strukturierten Metallebenen (12) gebildet ist, die durch Isolationsschichten (11) elektrisch voneinander getrennt und zwischen denen über Durchleitungen gezielt elektrische Verbindungen hergestellt sind.
3. Modul nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß für die Kontaktierung auf die nächste Baugruppenebene lötfähiges Material (7, 9), insbesondere Lötkegeln (7), auf die Kontaktpads (6) auf der Unterseite der Mehrlagenverdrahtung (2) aufgebracht sind, die über Durchleitungen mit der Bestückungsebene elektrisch verbunden sind.
4. Verfahren zur Herstellung eines elektronischen Moduls nach Anspruch 1, dadurch gekennzeichnet,

- daß nur auf der Oberseite eines plattenförmigen Verdrahtungsträgers (1) aus festem Material eine Mehrlagenverdrahtung (2) mit Kontaktpads (6) an ihrer Unterseite aufgebracht wird,
- 5 - daß IC- bzw. weitere elektronische Bauelemente (3) elektrisch und mechanisch mit der Bestückungsebene der Mehrlagenverdrahtung (2) verbunden werden,
- daß die Bestückungsseite der Mehrlagenverdrahtung (2) mit einer hermetischen, an ihren bauelementefreien Bereichen
- 10 haftenden Gehäusung (4) versehen wird,
- und daß anschließend das feste Trägermaterial wieder entfernt und die die Unterseite des Moduls bildende Unterseite der Mehrlagenverdrahtung (2) freigelegt wird.
- 15 5. Verfahren nach Anspruch 4,
dadurch gekennzeichnet,
daß vor Entfernen des insbesondere metallischen Trägermaterials in unterhalb der Kontaktpads (6) liegenden Bereichen, von der Unterseite her Gruben (8) in den Verdrahtungsträger (1)
- 20 geätzt werden, in die anschließend lötfähiges Material (7, 9) eingebracht wird.
- 6. Verfahren nach Anspruch 4 oder 5,
dadurch gekennzeichnet,
- 25 daß das Entfernen des insbesondere metallischen Trägermaterials durch Auflösen desselben erfolgt.
- 7. Verfahren nach Anspruch 6,
dadurch gekennzeichnet,
- 30 daß das Auflösen durch naßchemisches Ätzen erfolgt.
- 8. Verfahren nach Anspruch 4 oder 5,
dadurch gekennzeichnet,
daß das Entfernen des Trägermaterials durch Ablösen des Verdrahtungsträgers (1) von der Mehrlagenverdrahtung (2) erfolgt.
- 35

10

9. Verfahren nach Anspruch 8,
dadurch gekennzeichnet,
daß bei der Herstellung des Moduls auf dem Verdrahtungsträger
(1) zunächst eine die spätere Ablösung erleichternde Zwi-
5 schenschicht (10) und erst anschließend, darauf, die Mehrla-
genverdrahtung (2) aufgebracht wird.

10. Verfahren nach Anspruch 9,
dadurch gekennzeichnet,
10 daß als Zwischenschicht (10) ein niedrigschmelzendes Materi-
al, insbesondere Lot, aufgebracht wird.

11. Verfahren nach Anspruch 9,
dadurch gekennzeichnet,
15 daß als Zwischenschicht ein Kleber aufgebracht wird, der spä-
ter durch einen zusätzlichen Wärmeschritt die Trennung der
Mehrlagenverdrahtung (2) vom Verdrahtungsträger (1) erlaubt.

12. Verfahren nach einem der Ansprüche 4 bis 11,
20 dadurch gekennzeichnet,
daß die Herstellung der hermetischen Gehäusung (4) durch
Kunststoffumspritzen oder durch Bedecken mit Klebmasse er-
folgt.

1/4

FIG 1 A

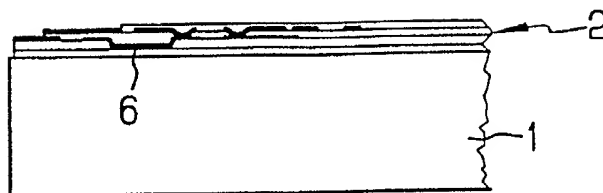


FIG 1 B

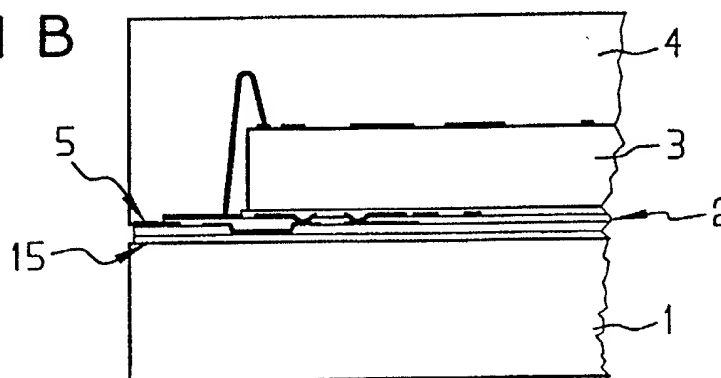


FIG 1 C

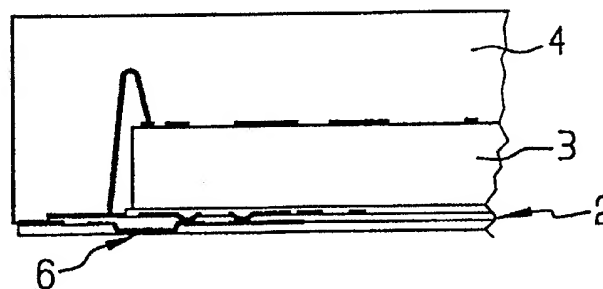


FIG 1 D

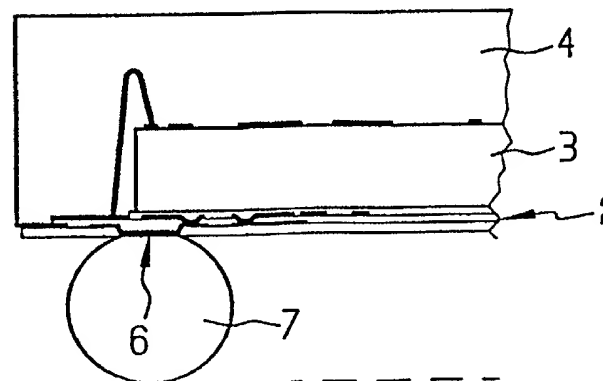


FIG 2 A

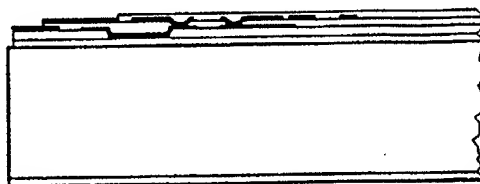


FIG 2 B

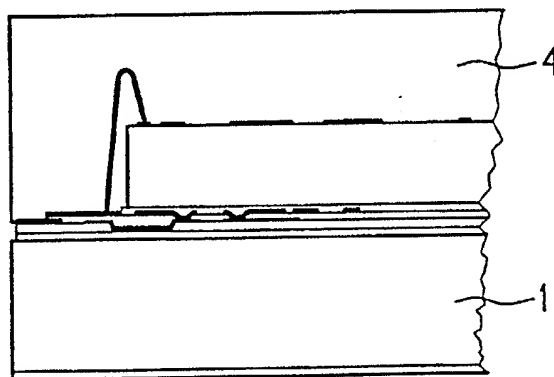
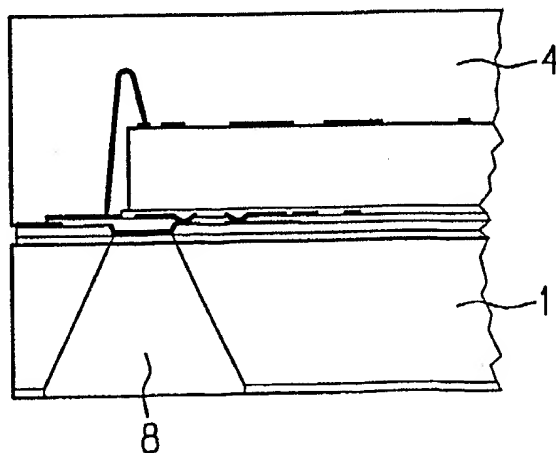


FIG 2 C



3/4

FIG 2 D

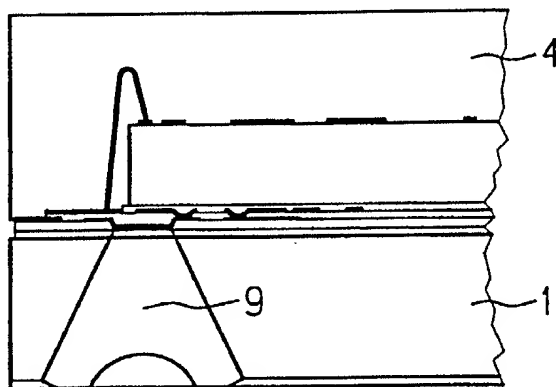


FIG 2 E

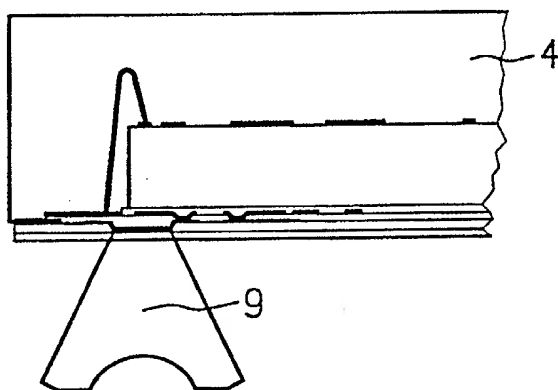


FIG 2 F

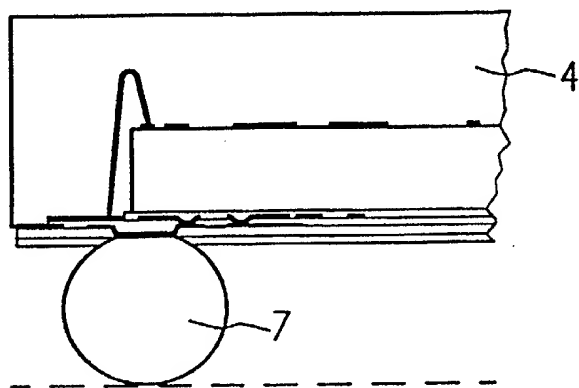


FIG 3A

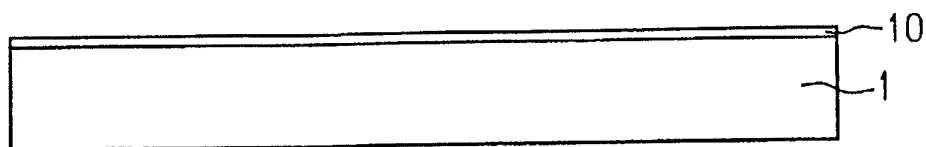


FIG 3B

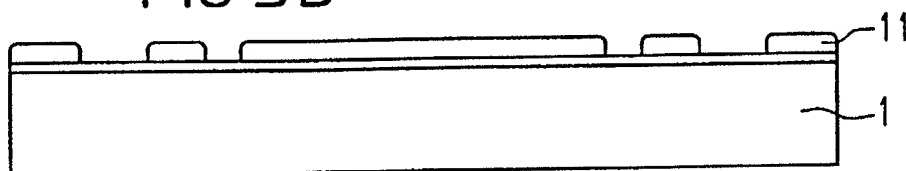


FIG 3C

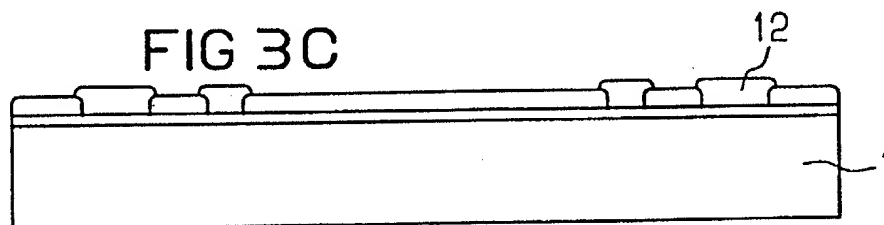


FIG 3D

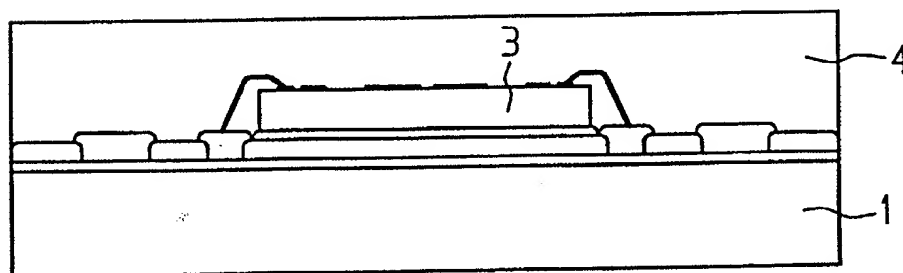
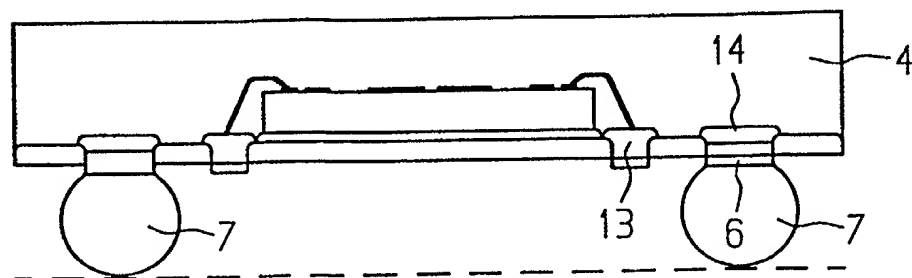


FIG 3E



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 99/03247

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/68 H01L23/31 H01L21/48

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 751 556 A (COMMISSARIAT ENERGIE ATOMIQUE) 2 January 1997 (1997-01-02) the whole document	1-4,8-12
A	EP 0 091 072 A (CIT ALCATEL) 12 October 1983 (1983-10-12) the whole document	1-12
A	US 5 218 759 A (JUSKEY FRANK J ET AL) 15 June 1993 (1993-06-15)	
A	US 5 492 266 A (HOEBENER KARL G ET AL) 20 February 1996 (1996-02-20) the whole document	5-7

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

2 March 2000

Date of mailing of the international search report

09/03/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Prohaska, G

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/03247

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0751556	A	02-01-1997	FR 2736206 A JP 9018138 A US 5861322 A	03-01-1997 17-01-1997 19-01-1999
EP 0091072	A	12-10-1983	FR 2524707 A JP 58182853 A US 4530152 A	07-10-1983 25-10-1983 23-07-1985
US 5218759	A	15-06-1993	NONE	
US 5492266	A	20-02-1996	JP 8078833 A US 5825629 A	22-03-1996 20-10-1998

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 99/03247

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 7 H01L21/68 H01L23/31 H01L21/48

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 751 556 A (COMMISSARIAT ENERGIE ATOMIQUE) 2. Januar 1997 (1997-01-02) das ganze Dokument ---	1-4, 8-12
A	EP 0 091 072 A (CIT ALCATEL) 12. Oktober 1983 (1983-10-12) das ganze Dokument ---	1-12
A	US 5 218 759 A (JUSKEY FRANK J ET AL) 15. Juni 1993 (1993-06-15) ---	
A	US 5 492 266 A (HOEBENER KARL G ET AL) 20. Februar 1996 (1996-02-20) das ganze Dokument -----	5-7

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

2. März 2000

Absenddatum des internationalen Recherchenberichts

09/03/2000

Name und Postanschrift der Internationalen Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Prohaska, G

INTERNATIONAL RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/03247

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0751556 A	02-01-1997	FR 2736206 A JP 9018138 A US 5861322 A	03-01-1997 17-01-1997 19-01-1999
EP 0091072 A	12-10-1983	FR 2524707 A JP 58182853 A US 4530152 A	07-10-1983 25-10-1983 23-07-1985
US 5218759 A	15-06-1993	KEINE	
US 5492266 A	20-02-1996	JP 8078833 A US 5825629 A	22-03-1996 20-10-1998